

»VISION-SYSTEMS ON CHIP« – FAHRWEGÜBERWACHUNG MITTELS HIGH-SPEED-BILDVERARBEITUNG

Dr. Jens Döge, Dr. André Nauen

Abteilung Intelligente Sensorik und Aktorik, Fraunhofer IIS /EAS, Dresden



Lanzhou–Xinjiang High-Speed Railway

兰新铁路第二双线

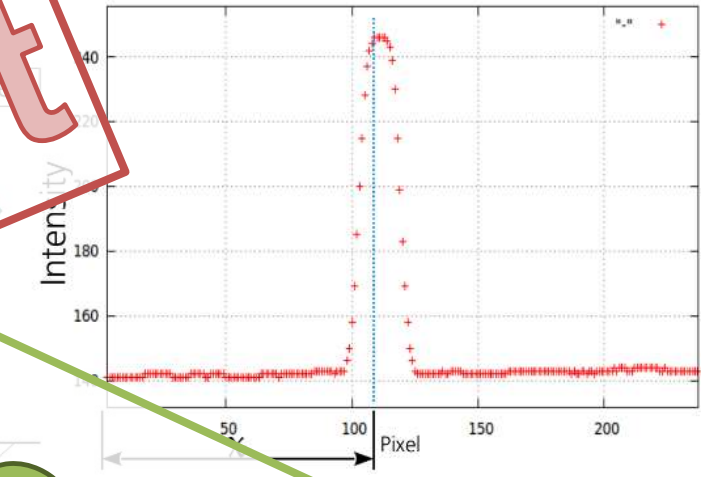


- Länge: 1776 km
- Züge bis zu 250 km/h schnell
- Gesamtfahrzeit: 12 h

Anwendungsbeispiel / Datenmengen

3D-Analyse des Fahrwegs

Vermessung mittels Laserlichtschnitt
(Beispiel)



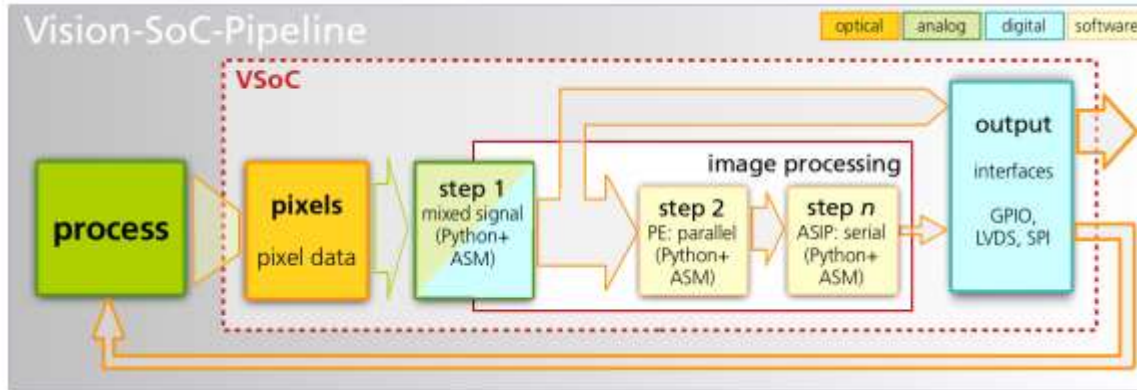
Schienenkopf
Schrauben
Kleineisen

Quelle: https://zh.wikipedia.org/wiki/File:China_Railways_CRH2_March_2010.jpg

- 1 Profil ca. 1000 mm
- Bei 1.000 Punkten pro Profil
- → 1 TB Höhen Daten
- Aber: nur ~10 B pro Fehlerort

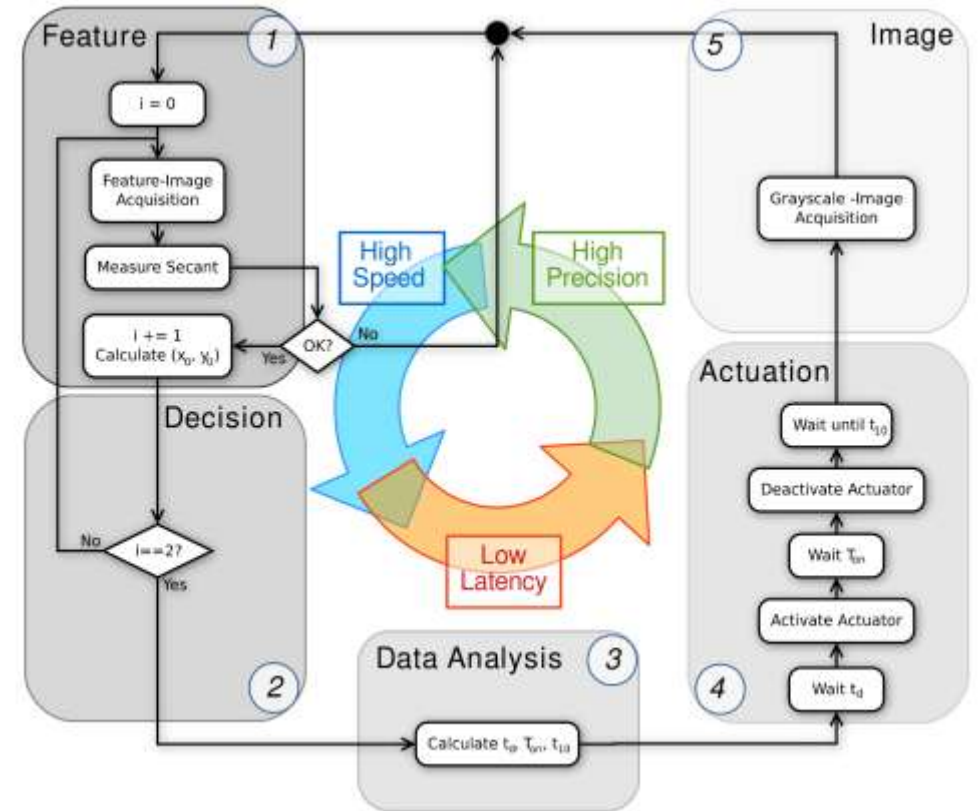
Machine Vision

Vision-System-on-Chip



Ablauf

- **inhaltsgetriggerte** Bildaufnahme
- Featureextraktion
- Weiterverarbeitung in eingebetteter I/O-CPU
- Ableitung von Steuersignalen
- Ausgabe relevanter Daten über digitale Schnittstelle(n)



Beispielablauf

Machine Vision

Software-definierte Smart Kamera mit Vision-System-on-Chip

Merkmale

- + kompakter Aufbau ohne PC möglich
- + Verarbeitung mit sehr geringer Latenz
- + sehr hohe Bildwiederholrate
- + hohe Energieeffizienz



Fraunhofer IIS/EAS Software-definierte Smart Kamera (SDSC)

Vision System-on-Chip

Design-Paradigmen

- Möglichst frühe Bildverarbeitung und Datenkompression, dadurch **Reduktion** von
 - Latenz und Bandbreitenanforderungen,
 - Leistungsaufnahme des Gesamtsystems,
 - Systemgröße / Anzahl der Bestandteile
- Entlang der Verarbeitungskette geeignete
 - Signal-Domäne (analog, digital)
 - Auflösung von A/D-Wandlung und Verarbeitung
- Parametrierbarkeit per Software der gesamten Verarbeitungskette
- Ausgabe von **relevanten** Bilddaten und Merkmalen

Erstelle keine Daten, die später nicht benötigt werden !

Compressed Sensing

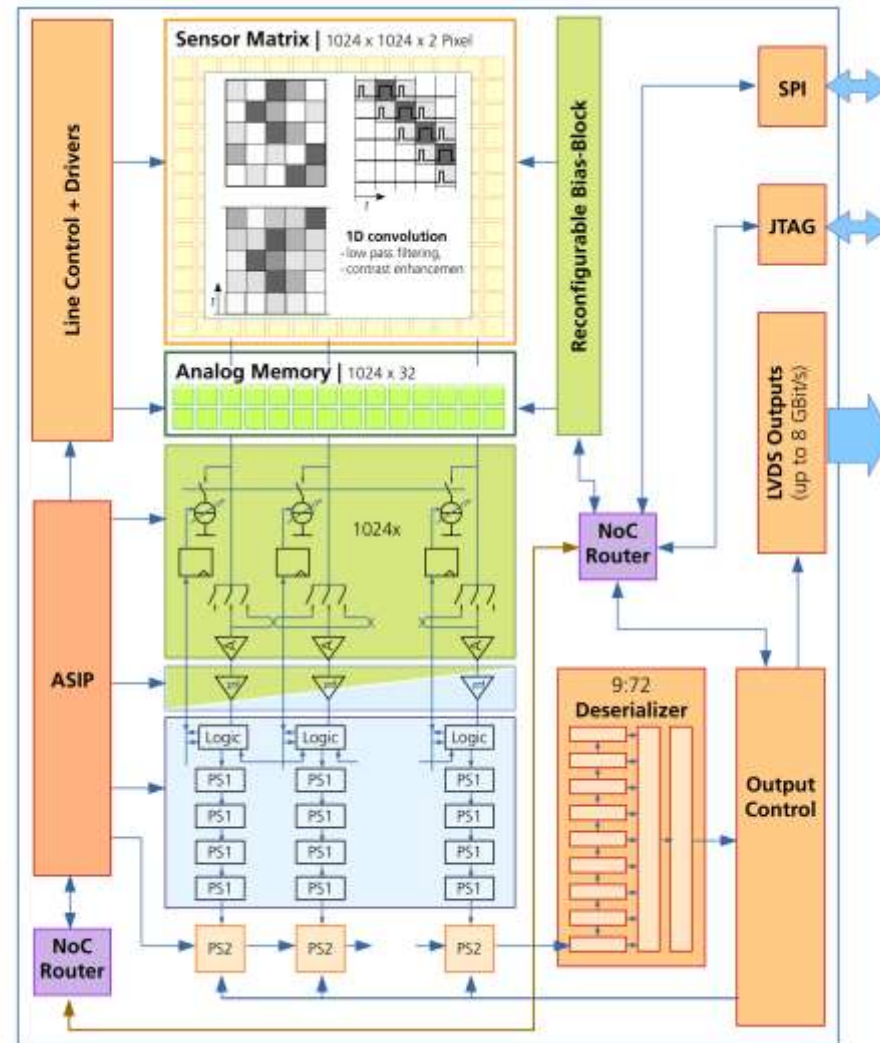
Muss die Präzision bei diesem Schritt wirklich so hoch sein ?

Maximale Flexibilität !

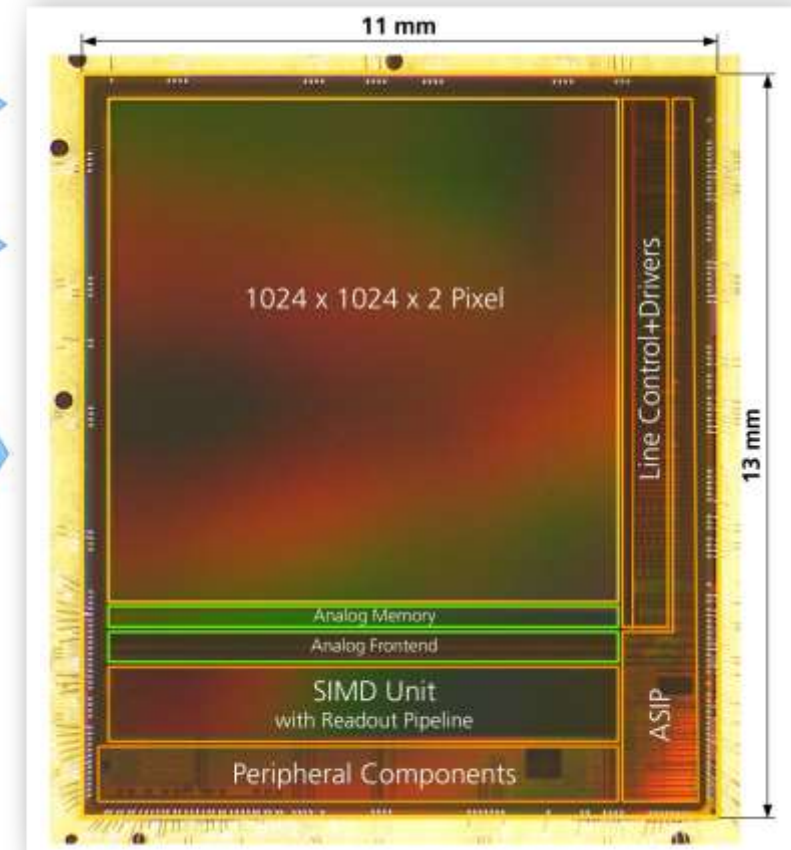
Vision System-on-Chip Architektur

Auswahl besonderer Merkmale

- 32 Analog-Cache Zellen pro Spalte
- kompaktierende asynchrone SIMD-Ausgabe
- Network-on-chip (NoC) für latenzarmen Zugriff auf alle Komponenten



Vereinfachte Darstellung der VSoC-Architektur



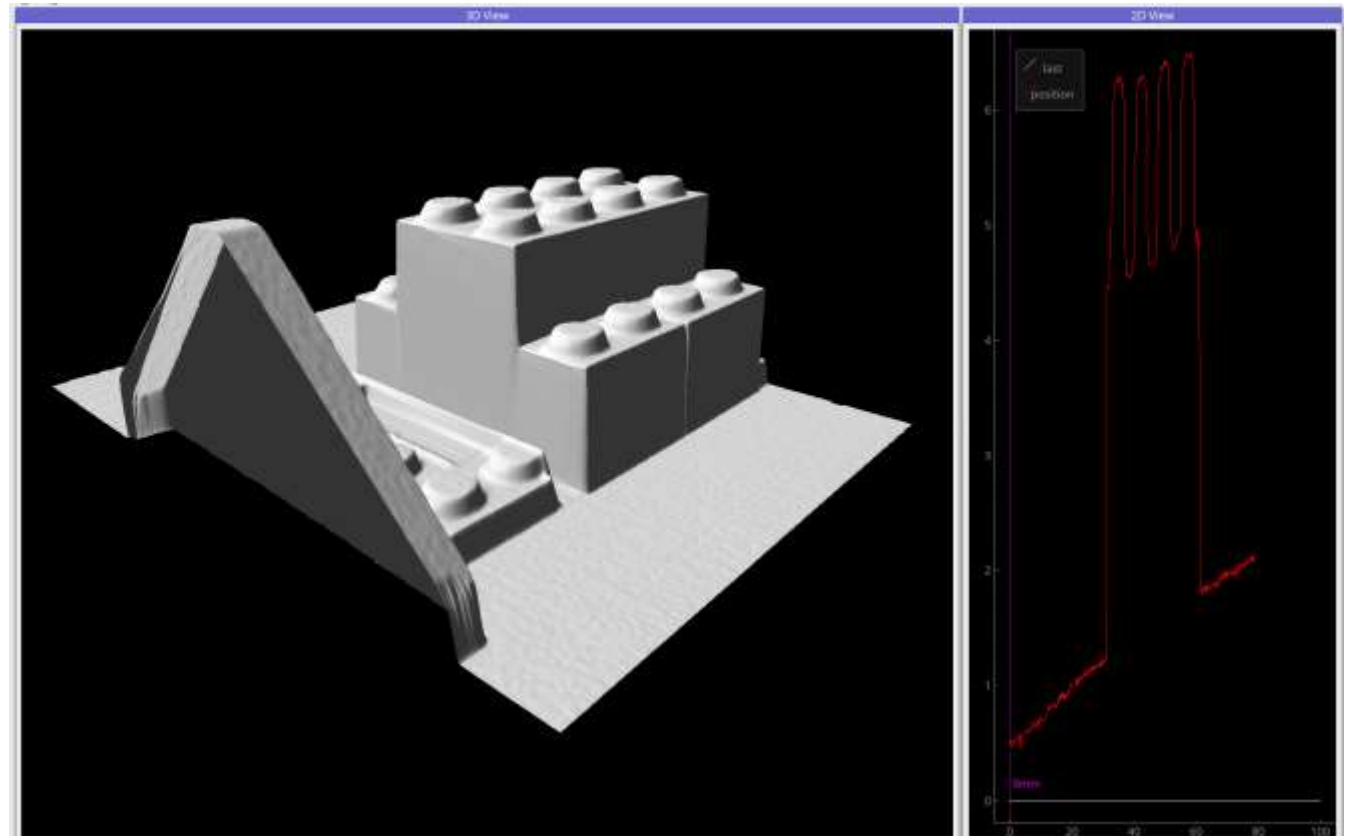
Die-shot

Laserlichtschnitt allgemein

High-Speed Implementierung

Aufgabe: **minimale Datenmenge** für die **Lokalisation der Laserlinie**

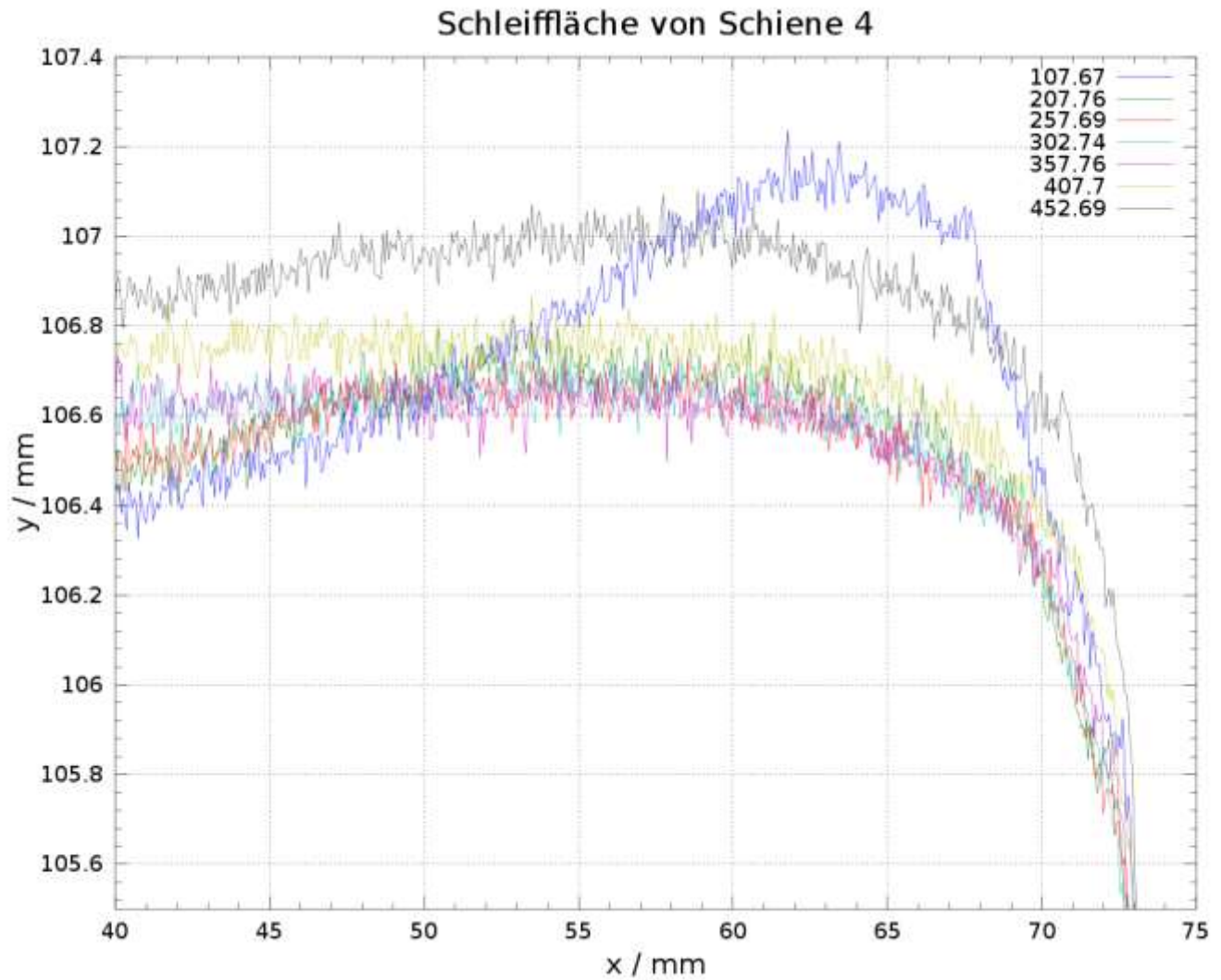
- Schnelle Bildaufnahme und Pixelverarbeitung
- Merkmalsextraktion
- Ableitung der Steuerungssignale
 - Ausgabe der Position von Laserlinie oder Pixeldaten
 - Steuerung der Laserdiode
- Niedrige Latenz / hohe
 - **>10 kHz** (RoI: 2000 x 1000 px²)
 - **@ < 300 mW** insgesamt (VSoC)



rekonstruiertes 3D Bild / Profilschnitt

Vermessung von Stromschienen

Messergebnisse



Anwendungen allgemein

Komplexe Verarbeitung on-Chip / Privacy by Design

Aufgabe: Merkmalsextraktion für Präsenzdetection

- Schnelle Bildaufnahme und Pixelverarbeitung
 - Gradient → Betrag + Winkel
 - Beispiel: 1 MPix / 8 x 8 Pixel pro Region (überlappend: 4 Pixel)
 - Änderungen im Bild
- Merkmalsextraktion
 - Histogramm (optional)
 - nur Merkmale → keine Helligkeitsdaten
 - einfaches VG / HG Modell on Chip / komplexeres auf ext. μ C
- Performance-Ziele: Geschwindigkeit und Verlustleistung
 - so schnell wie möglich für zuverlässiges Tracking
 - so sparsam wie möglich
 - Beispiel für vollständige HoG Implementierung: 50 Hz / 200 mW



Betrag und Winkel aus VSoC (HoG Vorstufe)

Vielen Dank!



Dr. Jens Döge
Group Manager
Image Acquisition and Processing
Fraunhofer IIS/EAS

✉ Jens.Doege@eas.iis.fraunhofer.de

☎ +49 351 4640-831



Dr. André Nauen
Head of Department
Intelligent Sensors and Actuators
Fraunhofer IIS/EAS

✉ Andre.Nauen@eas.iis.fraunhofer.de

☎ +49 351 4640-752

Fraunhofer Institute for Integrated Circuits IIS
Engineering of Adaptive Systems EAS
Zeunerstraße 38
01069 Dresden, Germany

www.eas.iis.fraunhofer.de

